

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-2

Première édition
First edition
2003-06

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-2:
Considérations sur les liaisons pistes-soudures –
Composants discrets**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-2:
Attachment (land/joint) considerations –
Discrete components**

© IEC 2003 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

XA

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

AVANT-PROPOS	8
INTRODUCTION	12
1 Domaine d'application.....	14
2 Références normatives	14
3 Emballage	16
4 Résistances fixes chipsets rectangulaires	16
4.1 Remarque introductive.....	16
4.2 Description du composant.....	16
4.3 Dimensions du composant.....	18
4.4 Conception du cordon de brasure	20
4.5 Dimensions de la zone de report.....	24
5 Résistances fixes chipsets cylindriques	28
5.1 Remarque introductive.....	28
5.2 Description du composant.....	28
5.3 Dimensions du composant.....	30
5.4 Conception du cordon de brasure	30
5.5 Dimensions de la zone de report.....	34
6 Condensateurs fixes chipsets à diélectrique en céramique multicouche	38
6.1 Remarque introductive.....	38
6.2 Description du composant.....	38
6.3 Dimensions du composant.....	42
6.4 Conception du cordon de brasure	42
6.5 Dimensions de la zone de report.....	46
7 Condensateurs fixes chipsets au tantale	50
7.1 Remarque introductive.....	50
7.2 Description du composant.....	50
7.3 Dimensions du composant.....	52
7.4 Conception du cordon de brasure	52
7.5 Dimensions de la zone de report.....	56
8 Condensateurs fixes chipsets électrolytiques à l'aluminium à électrolyte non solide (de type vertical).....	60
8.1 Remarque introductive.....	60
8.2 Description du composant.....	60
8.3 Dimensions du composant.....	62
8.4 Conception du cordon de brasure	64
8.5 Dimensions de la zone de report.....	66
9 Condensateurs fixes chipsets électrolytiques à l'aluminium à électrolyte non solide (de type horizontal).....	70
9.1 Remarque introductive.....	70
9.2 Description du composant.....	70
9.3 Dimensions du composant.....	72
9.4 Conception du cordon de brasure	74
9.5 Dimensions de la zone de report.....	76

CONTENTS

FOREWORD	9
INTRODUCTION	13
1 Scope	15
2 Normative references.....	15
3 Packaging.....	17
4 Fixed rectangular chip resistors	17
4.1 Introductory remark	17
4.2 Component description	17
4.3 Component dimensions	19
4.4 Solder joint fillet design	21
4.5 Land pattern dimensions.....	25
5 Fixed cylindrical chip resistors	29
5.1 Introductory remark	29
5.2 Component description	29
5.3 Component dimensions	31
5.4 Solder joint fillet design	31
5.5 Land pattern dimensions.....	35
6 Fixed multilayer ceramic chip capacitors	39
6.1 Introductory remark	39
6.2 Component description	39
6.3 Component dimensions	43
6.4 Solder joint fillet design	43
6.5 Land pattern dimensions.....	47
7 Fixed tantalum chip capacitors.....	51
7.1 Introductory remark	51
7.2 Component description	51
7.3 Component dimensions	53
7.4 Solder joint fillet design	53
7.5 Land pattern dimensions.....	57
8 Fixed aluminium electrolytic chip capacitors with non-solid electrolyte (vertical type).....	61
8.1 Introductory remark	61
8.2 Component description	61
8.3 Component dimensions	63
8.4 Solder joint fillet design	65
8.5 Land pattern dimensions.....	67
9 Fixed aluminium electrolytic chip capacitors with non-solid electrolyte (horizontal type).....	71
9.1 Introductory remark	71
9.2 Component description	71
9.3 Component dimensions	73
9.4 Solder joint fillet design	75
9.5 Land pattern dimensions.....	77

10	Condensateurs fixes chipses à diélectrique en film	80
10.1	Remarque introductive.....	80
10.2	Description du composant.....	80
10.3	Dimensions du composant.....	82
10.4	Conception du cordon de brasure	84
10.5	Dimensions de la zone de report.....	86
11	Inductances fixes chipses (de type multicouche).....	90
11.1	Remarque introductive.....	90
11.2	Description du composant.....	90
11.3	Dimensions du composant.....	92
11.4	Conception du cordon de brasure	92
11.5	Dimensions de la zone de report.....	96
12	Inductances fixes chipses [à enroulement].....	100
13	Transistors – SC-59/TO-236	100
14	Transistors – SC-62/TO-243	100
15	Transistors – SC-61/TO-253	100
16	Diodes – SC-73	100
17	Transistors – SC-63/TO-252	100
18	Transistors – SC-77	100
	Bibliographie	102
	Figure 1 – Emballage	16
	Figure 2 – Construction d'une résistance fixe chipse rectangulaire.....	18
	Figure 3 – Dimensions d'une résistances fixe chipse rectangulaire.....	20
	Figure 4 – Protubérance de soudure	24
	Figure 5 – Dimensions de la zone de report pour résistances fixes chipses rectangulaires	26
	Figure 6 – Construction d'une résistance fixe chipse cylindrique	28
	Figure 7 – Dimensions d'une résistance fixe chipse cylindrique.....	30
	Figure 8 – Protubérance de soudure	34
	Figure 9 – Dimensions de la zone de report pour résistances fixes chipses cylindriques.....	36
	Figure 10 – Construction d'un condensateur fixe chipse à diélectrique en céramique multicouche.....	38
	Figure 11 – Dimensions d'un condensateur fixe chipse à diélectrique en céramique multicouche.....	42
	Figure 12 – Protubérance de soudure	46
	Figure 13 – Dimensions de la zone de report pour condensateurs fixes chipses à diélectrique en céramique multicouche.....	48
	Figure 14 – Construction d'un condensateur fixe chipse au tantale.....	50
	Figure 15 – Dimensions d'un condensateur fixe chipse au tantale	52
	Figure 16 – Protubérance de soudure	56
	Figure 17 – Dimensions de la zone de report pour condensateurs fixes chipses au tantale.....	58

10	Fixed film chip capacitors	81
10.1	Introductory remark	81
10.2	Component description	81
10.3	Component dimensions	83
10.4	Solder joint fillet design	85
10.5	Land pattern dimensions.....	42
11	Fixed chip inductors (multilayer type).....	91
11.1	Introductory remark	91
11.2	Component description	91
11.3	Component dimensions	93
11.4	Solder joint fillet design	93
11.5	Land pattern dimensions.....	97
12	Fixed chip inductors (wire wound type)	101
13	SC-59/TO-236 – Transistors	101
14	SC-62/TO-243 – Transistors	101
15	SC-61/TO-253 – Transistors	101
16	SC-73 – Diodes	101
17	SC-63/TO-252 – Transistors	101
18	SC-77 – Transistors	101
	Bibliography	103
	Figure 1 – Packaging	17
	Figure 2 – Fixed rectangular chip resistor construction.....	19
	Figure 3 – Fixed rectangular chip resistor dimensions	21
	Figure 4 – Solder joint protrusion	25
	Figure 5 – Fixed rectangular chip resistor land pattern dimensions	27
	Figure 6 – Fixed cylindrical chip resistor construction.....	29
	Figure 7 – Fixed cylindrical chip resistor dimensions	31
	Figure 8 – Solder joint protrusion	35
	Figure 9 – Fixed cylindrical chip resistor land pattern dimensions	37
	Figure 10 – Fixed multilayer ceramic chip capacitor construction	39
	Figure 11 – Fixed multilayer ceramic chip capacitor component dimensions.....	43
	Figure 12 – Solder joint protrusion	47
	Figure 13 – Fixed multilayer ceramic chip capacitor land pattern dimensions	49
	Figure 14 – Fixed tantalum chip capacitor construction	51
	Figure 15 – Fixed tantalum chip capacitor component dimensions.....	53
	Figure 16 – Solder joint protrusion	57
	Figure 17 – Fixed tantalum chip capacitor land pattern dimensions	59

Figure 18 – Construction d'un condensateur fixe chipse électrolytique à l'aluminium à électrolyte non solide (de type vertical)	60
Figure 19 – Dimensions d'un condensateur fixe chipse électrolytique à l'aluminium (de type vertical)	62
Figure 20 – Protubérance de soudure	66
Figure 21 – Dimensions de la zone de report pour condensateurs fixes chipses électrolytiques à l'aluminium (de type vertical)	70
Figure 22 – Construction d'un condensateur fixe chipse électrolytique à l'aluminium à électrolyte non solide (de type horizontal)	70
Figure 23 – Dimensions d'un condensateur fixe chipse électrolytique à l'aluminium (de type horizontal)	72
Figure 24 – Protubérance de soudure	76
Figure 25 – Dimensions de la zone de report pour condensateurs fixes chipses électrolytiques à l'aluminium (de type horizontal)	78
Figure 26a – Condensateur à empilement	41
Figure 26b – Condensateur à enroulement.....	80
Figure 27a – A empilement	82
Figure 27b – A enroulement	82
Figure 28 – Protubérance de soudure	86
Figure 29 – Dimensions de la zone de report pour condensateurs fixes chipses à diélectrique en film MPPS	88
Figure 30 – Construction d'une inductance fixe chipse	90
Figure 31 – Dimensions d'une inductance fixe chipse (de type multicouche)	92
Figure 32 – Protubérance de soudure	96
Figure 33 – Dimensions de la zone de report pour inductances fixes chipses.....	98

Figure 18 – Fixed aluminium electrolytic chip capacitor with non-solid electrolyte (vertical type) construction	61
Figure 19 – Fixed aluminium electrolytic chip capacitor (vertical type) dimensions	63
Figure 20 – Solder joint protrusion	67
Figure 21 – Fixed aluminium electrolytic chip capacitor (vertical type) land pattern dimensions.....	71
Figure 22 – Fixed aluminium electrolytic chip capacitor with non-solid electrolyte (horizontal type) construction	71
Figure 23 – Fixed aluminium electrolytic chip capacitor (horizontal type) dimensions	73
Figure 24 – Solder joint protrusion	77
Figure 25 – Fixed aluminium electrolytic chip capacitor (horizontal type) land pattern dimensions	79
Figure 26a – Stacked type.....	38
Figure 26b – Wound type	81
Figure 27a – Stacked type.....	83
Figure 27b – Wound type	39
Figure 28 – Solder joint protrusion	87
Figure 29 – MPPS film chip capacitor land pattern dimensions.....	89
Figure 30 – Fixed chip inductor construction	91
Figure 31 – Fixed chip inductor (multilayer type) component dimensions.....	93
Figure 32 – Solder joint protrusion	97
Figure 33 – Fixed chip inductor land pattern dimensions	99

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES ET CARTES IMPRIMÉES EQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-2: Considérations sur les liaisons pistes-soudures – Composants discrets

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La norme internationale CEI 61188-5-2 a été établie par le comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/382/FDIS	91/397/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les directives ISO/CEI, Partie 2

Il convient que la présente Norme internationale soit lue conjointement avec la CEI 61188-5-1: 2002.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –
DESIGN AND USE –****Part 5-2: Attachment (land/joint) considerations –
Discrete components**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-5-2 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/382/FDIS	91/397/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This International Standard is to be read in conjunction with IEC 61188-5-1:2002.

Cette norme constitue la Partie 5-2 de la CEI 61188 publiée sous le titre général *Cartes imprimées et cartes imprimées équipées – Conception et utilisation* ¹:

- Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques
- Partie 5-2: Considérations sur les liaisons pistes-soudures – Composants discrets
- Partie 5-3: Considérations sur les liaisons pistes-soudures – Composants à pattes bilatérales en ailes de mouette
- Partie 5-4: Considérations sur les liaisons pistes-soudures – Composants à pattes «J» bilatérales
- Partie 5-5: Considérations sur les liaisons pistes-soudures – Composants à pattes quadrilatérales en ailes de mouette
- Partie 5-6: Considérations sur les liaisons pistes-soudures – Composants à sorties en «J» sur quatre côtés
- Partie 5-7: Considérations sur les liaisons pistes-soudures – Composants (DIP) à broches bilatérales

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2004. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

¹ Actuellement, certaines de ces parties sont encore à publier.

This standard forms Part 5-2 of IEC 61188 which is published under the general title *Printed boards and printed board assemblies – Design and use*¹:

- Part 5-1: Attachment (land/joint) considerations – Generic requirements
- Part 5-2: Attachment (land/joint) considerations – Discrete components
- Part 5-3: Attachment (land/joint) considerations – Gull-wing leads, two sides
- Part 5-4: Attachment (land/joint) considerations – J leads, two sides
- Part 5-5: Attachment (land/joint) considerations – Components with gull-wing leads, four sides
- Part 5-6: Attachment (land/joint) considerations – J leads, four sides
- Part 5-7: Attachment (land/joint) considerations – Post (DIP) leads, two sides

The committee has decided that the contents of this publication will remain unchanged until 2004. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

¹ At the time of writing, some of these parts are still under consideration.

INTRODUCTION

La présente partie de la CEI 61188 concerne les zones de report pour composants discrets tels que résistances chipses, condensateurs chipses, ainsi que différents types de diodes et transistors.

Les dimensions des zones de report proposées dans cette norme sont basées sur les calculs fondamentaux de tolérance associés aux zones de protubérance de soudure et aux excédents de surfaces (prescriptions génériques de la CEI 61188-5-1). Le surface inclut tout ce qui concerne les besoins normaux de fabrication.

Les dimensions des zones de report indiquées dans cette norme sont généralement applicables pour les processus de soudage par refusion. Pour les processus de soudage par immersion (par exemple, vague, jet, brasage à la traîne), les chipses peuvent avoir à être modifiées pour éviter le masquage et les courts-circuits, (par exemple, en agrandissant la longueur du chipse parallèlement à la direction du mouvement de la carte et/ou en fournissant des échantillons de soudure).

Cette norme présente un triple dimensionnement des zones de report (niveaux 1, 2 et 3) sur la base de trois types de zones de protubérances et d'excédents de surface maximal (max.) moyen (moy.) et minimal (min.). A chaque zone de report a été assigné un identificateur pour indiquer les caractéristiques de la robustesse spécifique des zones de report. Les utilisateurs ont également la possibilité d'organiser les informations de façon à ce qu'elles s'adaptent le mieux possible à leur utilisation spécifique.

Cette norme suppose que les dimensions des pastilles sont toujours plus grandes que celles des broches des composants ou que des contours des sorties. Si un utilisateur a des raisons valables d'utiliser de l'épargne de brasure pour limiter le mouillage sur un chipse ou d'utiliser des chipses plus petits que les sorties du composant, ou d'appliquer un concept différent de celui de la CEI 61188-5-1, cette norme ne peut pas être appliquée.

Il est de la responsabilité de l'utilisateur de vérifier les zones de report des composants pour montage en surface (CMS) utilisés pour mener à bien un processus de montage convenable comportant les essais et une fiabilité assurée pour l'utilisation en conditions perturbées du produit.

Les dimensions des composants énumérées dans cette norme sont celles disponibles sur le marché et sont seulement considérées comme référence.

INTRODUCTION

This part of IEC 61188 covers land patterns for discrete components such as chip resistors, chip capacitors, and various diode and transistor types.

The proposed land pattern dimensions are based upon the fundamental tolerance calculation combined with the given land protrusions and courtyard excesses (see IEC 61188-5-1, Generic requirements). The courtyard includes all issues relating to normal manufacturing requirements.

The land pattern dimensions given in this standard are generally applicable for reflowed solder paste processes. For immersion soldering processes (e.g. wave, jet, drag soldering), lands may have to be modified to prevent shadowing and shorting (e.g. by extending land length parallel to the direction of motion of the board and/or provision of solder thieves).

This standard offers a threefold land pattern dimensioning (levels 1, 2 and 3) on the basis of a threefold set of land protrusions and courtyard excesses: maximum (max.), median (mdn) and minimum (min.). Each land pattern has been assigned an identification number to indicate the characteristics of the specific robustness of the land patterns. Users also have the opportunity to organize the information so that it is most useful for their particular design.

This standard assumes that land dimensions are always larger than component termination or lead outlines. If a user has good reason to use solder resist to limit wetting on a land, or to use lands smaller than component terminations, or to apply a concept different from that of IEC 61188-5-1, then this standard may not apply.

It is the responsibility of the user to verify the SMD land patterns used for achieving an undisturbed mounting process, including testing, and an ensured reliability for the product stress conditions in use.

Dimensions of the components listed in this standard are those available on the market and are for reference only.

CARTES IMPRIMÉES ET CARTES IMPRIMÉES EQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-2: Considérations sur les liaisons pistes-soudures – Composants discrets

1 Domaine d'application

La présente partie de la CEI 61188 donne des informations sur la géométrie des zones de report, en vue du soudage par refusion des divers composants discrets.

Le but des informations indiquées dans cette norme est de fournir les dimensions, formes et tolérances appropriées des zones de report pour montage en surface afin d'assurer une surface suffisante pour le cordon de brasure et pour permettre l'inspection, les essais et les retouches des joints de brasure.

Chaque article contient une série de critères particuliers de telle façon que l'information présentée soit claire et fournisse les informations sur le composant, ses dimensions, la conception du cordon de brasure ainsi que les dimensions de la zone de report.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60068-2-58, *Essais d'environnement – Partie 2-58: Essais – Essai Td: Méthodes d'essai de la soudabilité, résistance de la métallisation à la dissolution et résistance à la chaleur de soudage des composants pour montage en surface (CMS)*

CEI 60115-1, *Résistances fixes utilisées dans les équipements électroniques – Partie 1: Spécification générique*

CEI 60286-3, *Emballage de composants pour opérations automatisées – Partie 3: Emballage des composants appropriés au montage en surface en bandes continues*

CEI 60286-4, *Emballage de composants pour opérations automatisées – Partie 4: Magasins chargeurs pour composants électroniques moulés de forme E et G*

CEI 60286-5, *Emballage de composants pour opérations automatisées – Partie 5: Supports matriciels*

CEI 60286-6, *Emballage de composants pour opérations automatisées – Partie 6: Emballages en vrac des composants pour montage en surface*

CEI 60384-3, *Condensateurs fixes utilisés dans les équipements électroniques – Partie 3: Spécification intermédiaire: Condensateurs fixes chipsets au tantale*

CEI 60384-18, *Condensateurs fixes utilisés dans les équipements électroniques – Partie 18: Spécification intermédiaire: Condensateurs fixes chipsets électrolytiques à l'aluminium à électrolyte solide et non solide*

PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

Part 5-2: Attachment (land/joint) considerations – Discrete components

1 Scope

This part of IEC 61188 provides information on land pattern geometries used for the surface attachment of discrete electronic components.

The purpose of this standard is to provide the appropriate size, shape and tolerances of surface mount land patterns to ensure sufficient area for the appropriate solder fillet, and also allow for inspection, testing and rework of resulting solder joints.

Each clause contains a specific set of clearly presented criteria providing information on the component, the component dimensions, the solder joint design and the land pattern dimensions.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60068-2-58, *Environmental testing – Part 2-58: Tests – Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)*

IEC 60115-1, *Fixed resistors for use in electronic equipment – Part 1: General specification*

IEC 60286-3, *Packaging of components for automatic handling – Part 3: Packaging of leadless components on continuous tapes*

IEC 60286-4, *Packaging of components for automatic handling – Part 4: Stick magazines for electric components encapsulated in packages of form E and G*

IEC 60286-5, *Packaging of components for automatic handling – Part 5: Matrix trays*

IEC 60286-6, *Packaging of components for automatic handling – Part 6: Bulk case packaging for surface mounting compounds*

IEC 60384-3, *Fixed capacitors for use in electronic equipment – Part 3: Sectional specification: Fixed Tantalum chip capacitors*

IEC 60384-18, *Fixed capacitors for use in electronic equipment – Part 18: Sectional specification – Fixed aluminium electrolytic chip capacitors with solid and non-solid electrolyte*

CEI 60384-20, *Condensateurs fixes utilisés dans les équipements électroniques – Partie 20: Spécification intermédiaire: Condensateurs fixes chipsets pour courant continu à diélectrique en film de sulfure de polyphénylène métallisé*

CEI 61188-5-1, *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques*

CEI 61605, *Inductances fixes utilisées dans les équipements électroniques et de télécommunications – Codes pour le marquage*

IEC 60384-20, *Fixed capacitors for use in electronic equipment – Part 20: Sectional specification – Fixed metallized polyphenylene sulfide film dielectric chip d.c. capacitors*

IEC 61188-5-1, *Printed boards and printed board assemblies – Design and use – Part 5-1: Attachment (land/joint) considerations – Generic requirements*

IEC 61605, *Fixed inductors for use in electronic and telecommunication equipment – Marking codes*